

公 告 本

(引証一)

856359

87年12月15日 修正
補充

申請日期	85.5.24
案 號	85106208
類 別	H01L 21/302

第 92122766 A4 級

初審引証附件

358227

(以上各欄由本局填註)

發明型 專利說明書

一、發明 新型 名稱	中 文	改善積體電路平坦化之半埋層金屬製程 (第八五一〇六二〇八號專利申請案之專利說明書修正本)
	英 文	BEST AVAILABLE COPY
二、發明 創作 人	姓 名	游秋山
	國 籍	中華民國
三、申請人	住、居所	新竹縣寶山鄉大崎村七鄰菜茵別墅十八號
	姓 名 (名稱)	台灣積體電路製造股份有限公司
三、申請人	國 籍	中華民國
	住、居所 (事務所)	新竹科學工業園區園區三路一二一號
	代 表 人 姓 名	張忠謀

裝

訂

線

項請委員明示
修正本有無變更
貨質內容是否全
89
12月15日所提
之

經濟部中央標準局員工消費合作社印製

四、中文發明摘要（發明之名稱：）

改善積體電路平坦化之半埋層金屬製程

本發明揭露了一種積體電路之金屬結構 (Metallization) 的製造方法，所述【金屬結構】改善積體電路之電致遷移特性 (Electromigration Performance)。首先，在半導體基板上 (Semiconductor Substrate) 形成半導體元件結構 (Semiconductor Device Structure)，接著，在所述【半導體元件結構】上方形成一層絕緣層 (Insulating Layer)，然後，在所述【絕緣層】上形成淺凹溝 (Shallow Trench)。接著，蝕刻所述【淺凹溝】內之所述【絕緣層】一直到接觸到所述【半導體元件結構】，以形成接觸窗 (Contact Opening)，所述【接觸窗】之寬度小於所述【淺凹溝】之寬度。接著，沉積一層導電層 (Conducting Layer)，所述【導電層】之一部份埋在所述【淺凹溝】內，因此降低所述【導電層】之階梯高度 (Step Height)，改善平坦化效果，改善積體電路之電致遷移特性。

英文發明摘要（發明之名稱：）

（請先閱讀背面之注意事項再填寫六頁各欄）

裝

訂

線

(請先閱讀背面之注意事項再填寫本頁)

五、發明說明(/)

(一).技術領域

本發明是關於積體電路 (Integrated Circuit : IC) 之金屬結構製程 (Metallization Process) , 尤其是關於改善積體電路之電致遷移特性的金屬結構製程。

(二).發明背景

進入次微米技術領域時，金屬之階梯覆蓋 (Step Coverage) 和平坦化製程 (Planarization) 變的越來越困難。傳統方法是在在半導體基板 10 上 (Semiconductor Substrate) 形成半導體元件結構 (Semiconductor Device Structure) , 接著在所述【半導體元件結構】表面形成一層硼磷玻璃膜 12 (BoroPhosphoSilicateGlass ; BPSG) 作為絕緣層 12 (Insulating Layer) , 如圖一所示。然後，在所述【絕緣層 12】形成接觸窗 (Contact Opening) , 再以濺鍍技術沉積一層金屬 14 , 所述【金屬 14】跨過所述【接觸窗】，如圖二所示。當【接觸窗】尺寸越來越小時，【接觸窗】之高度對寬度的比值 (Aspect ratio) 越來越大，大的【高度對寬度的比值】會阻止所述【金屬 14】無法進入所述【接觸窗】，造成金屬之階梯覆蓋能力變差 (Poor Step Coverage)。另一方面，進入次微米技術領域時，金屬在水平方向的縮小幅度 (Horizontal Shrink) 遠大於在垂直方向的縮小幅度 (Vertical

五、發明說明(2)

Shrink），亦導致平坦化效果不佳。

有人提出以【臭氧-四乙基矽甲烷二氧化矽層】^{ozone} (Ozone TetraEthylOrthoSilicate ; O₃ TEOS) 技術和熱鋁栓柱 (Hot Aluminum Plug) 來解決上述問題。Kumagai 等人在美國專利 5324975 號也展示了一種【接觸窗】和【導電層】的佈局設計 (Layout)。本發明則是在花費較低的成本下來解決上述問題。

(三) 發明的簡要說明

本發明的主要目的是提供一種改善積體電路之電致遷移特性 (Electromigration Performance) 的金屬結構製程 (Metallization Process)，能應用在大量生產積體電路。

本發明的另一個目的是提供一種金屬結構製程 (Metallization Process)，能改善階梯覆蓋能力 (Step Coverage) 和平坦化製程 (Planarization)。

本發明之主要製程方法如下。首先，在半導體基板上 (Semiconductor Substrate) 形成半導體元件結構 (Semiconductor Device Structure)，接著，在所述【半導體元件結構】上方形成一層絕緣層 (Insulating Layer)，然後，在所述【絕緣層】上形成淺凹溝 (Shallow Trench)。接著，蝕刻所述【淺凹溝】內之所述【絕緣層】，一直到接觸到所述

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

(請先閱讀背面之注意事項再填寫本頁)

五、發明說明(3)

【半導體元件結構】，以形成接觸窗（Contact Opening），所述【接觸窗】之寬度小於所述【淺凹溝】之寬度。接著，沉積一層導電層（Conducting Layer），所述【導電層】之一部份埋在所述【淺凹溝】內，因此降低所述【導電層】之階梯高度（Step Height），得以改善平坦化效果，改善積體電路之電致遷移特性。

(四). 圖示的簡要說明

圖一到圖二是先前技藝的製程剖面示意圖（Cross Section View）。

圖三是本發明之金屬層保護罩（Metal Mask）之逆圖案（Reverse Tone）的平面示意圖（Top View）。

圖四是本發明之金屬層保護罩（Metal Mask）之平面示意圖。

圖五到圖七是本發明之實施例的製程剖面示意圖。

(五). 發明的詳細說明

參考圖五。首先，在半導體基板上（Semiconductor Substrate）形成半導體元件結構（Semiconductor Device Structure），所述【半導體基板】通常是單晶矽（Monocrystalline Silicon），而所述【半導體元件結構】包含有閘電極 11（Gate Electrode）與源極／汲極（Source／Drain），其中，源極／汲極未顯示於圖五。接著，

五、發明說明(4)

沉積一層絕緣層 12 (Insulating Layer)，所述【絕緣層 12】通常是磷玻璃膜 (PhosphoSilicateGlass；PSG) 或硼磷玻璃膜 (BoroPhosphoSilicateGlass；BPSG)。

本發明之目的是要改善積體電路之電致遷移特性 (Electromigration Performance)，即改善金屬導線與半導體接面間因電流通過時，金屬離子堆積所造成的問題。在平坦表面 (Flat Surface) 之【電致遷移特性】比在起伏不平表面 (Severe Topography) 之【電致遷移特性】要好，本發明便是要提供平坦的表面。

本發明之主要特徵是在沉積導電層 (Conducting Layer) 之前利用 【SILO 保護罩】 (SILO Mask) 蝕去一部份的【絕緣層 12】以形成【淺凹溝】，而所述【導電層】有一部份將被埋在所述【淺凹溝】內，由於所述【淺凹溝】之深度有數千埃 (Angstrom)，因此降低所述【導電層】之階梯高度 (Step Height)，也改善平坦化效果。

如圖三所示，所述【SILO 保護罩 20】是後續【導電層保護罩】 (Conducting Layer Mask) 之逆圖案 (Reverse Tone)，而所述【導電層保護罩】是用來同時形成接觸窗 (Contact Opening) 和淺凹溝 (Shallow Trench)，如圖四所示。由於使用【導電層保護罩】 (Conducting Layer Mask) 之逆圖案

(請先閱讀背面之注意事項再填寫本頁)

(請先閱讀背面之注意事項再填寫本頁)

五、發明說明(5)

(Reverse Tone)，所述接觸窗之幾何形狀較為緩和 (Sloped Profile)，改善了接觸窗之階梯覆蓋能力 (Step Coverage) 進而改善積體電路之電致遷移特性 (Electromigration Performance)。尤有進者，所述【導電層】有一部份將被埋在所述【淺凹溝】內，降低所述【導電層】之階梯高度 (Step Height)，也改善了平坦化效果。

圖三顯示了半導體晶圓上之【SILO 保護罩】。利用微影技術將所述【SILO 保護罩】圖案轉移至【光阻層】 (Photoresist Layer) (未顯示於圖三)，然後利用濕式或乾式均向性蝕刻技術 (Isotropic Etch) 蝕去一部份的所述【絕緣層 12】以形成淺凹溝 22 (Shallow Trench)，如圖五所示，其中圖五為圖三沿5-5之切線剖面製程圖。

接著，將圖四之【導電層接觸保護罩】 (Conducting Layer Contact Mask) 圖案轉移至【光阻層】 (Photoresist Layer) (未顯示於圖四)，然後利用多步驟單向性蝕刻技術 (Multi-Step Anisotropic Etch) 蝏去所述【淺凹溝 22】內之所述【絕緣層 12】，一直到接觸到所述【半導體元件結構】，以形成接觸窗 (Contact Opening)，所述【接觸窗】之寬度小於所述【淺凹溝】之寬度，如圖六A所示；若利用單一步驟之單向性蝕刻技術 (One-Step Anisotropic Etch) 蝏去所述【淺凹溝 22】

五、發明說明 (6)

內之所述【絕緣層 12】，則接觸窗之幾何形狀如圖六B所示，其中圖六為圖四沿6-6之切線剖面製程圖。接著沉積導電層於絕緣層12之上與淺凹溝22中，並蝕刻定義出【導電層 24】，如圖六A和圖六B所示。所述【導電層 24】可以是金屬(鋁(Al)、鎢(W)或銅(Cu))、複晶矽 (Polysilicon) 或複晶矽化物 (Polycide)。由於所述【接觸窗】之寬度小於所述【淺凹溝 22】之寬度，所述【導電層 24】之階梯覆蓋能力 (Step Coverage) 將獲得改善，特別當所述【導電層 24】是以濺鍍技術形成之金屬，其中所述之蝕刻方式係使用單向性蝕刻技術 (One-Step Anisotropic Etch) 蝕刻方式形成。

圖七是沿著圖三或圖四中沿7-7 之【SILO 保護罩】的剖面示意圖，可以看出，所述【導電層 24】有一部份將被埋在所述【絕緣層 12】內，25 則是用【SILO 保護罩】時被蝕刻之面積，由於所述【導電層 24】有一部份將被埋在所述【絕緣層 12】內，因此，可得到比較平坦的介層間介電層 26 (Interlevel Dielectric)。所述【介層間介電層 26】可以是【臭氧-四乙基矽甲烷二氧化矽層】 (Ozone TetraEthylOrthoSilicate ; O₃ TEOS)，也可以是自旋塗佈式玻璃膜 (Spin On Glass ; SOG) 或電漿增強式二氧化矽 (Plasma-Enhanced Silicon Dioxide) 或其它的介電層。可以繼續形成【導電層

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明()

28】之圖案，並繼續運用本發明之方法，可獲得更上層次之金屬結構 (Metallization)，同樣改善積體電路之電致遷移特性 (Electromigration Performance)。

以上係以最佳實施例來闡述本發明，而非限制本發明，並且，熟知半導體技藝之人士皆能明瞭，適當而作些微的改變及調整，仍將不失本發明之要義所在，亦不脫離本發明之精神和範圍。

(請先閱請背面之注意事項再填寫本頁)

訂

87年12月15日 修正
補充

六、申請專利範圍

(請先閱讀背面之注意事項再填寫本頁)

1. 一種形成積體電路之導電層 (Conducting Layer) 的方法，所述【導電層】在製造積體電路時能改善階梯覆蓋能力和平坦化效果 (Planarization)，係包含下列步驟：

在半導體基板上 (Semiconductor Substrate) 形成半導體元件結構 (Semiconductor Device Structure)；

在所述【半導體元件結構】上方形成絕緣層 (Insulating Layer)；

在所述【絕緣層】上形成淺凹溝 (Shallow Trench)，而所述【導電層】係預備沉積於所述【淺凹溝】上；

蝕刻所述【淺凹溝】內之所述【絕緣層】一直到接觸到所述【半導體元件結構】，以形成接觸窗 (Contact Opening)；

沉積所述導電層 (Conducting Layer)，所述【導電層】之一部份埋在所述【淺凹溝】內，因此降低所述【導電層】之階梯高度 (Step Height)，因而改善平坦化效果。

2. 如申請專利範圍第 1 項之方法，其中所述【半導體元件結構】，包含有閘氧化層 (Gate Oxide)、閘電極 (Gate Electrode) 與源極／汲極 (Source/Drain)。

六、申請專利範圍

3. 如申請專利範圍第 1 項之方法，其中所述【絕緣層】是由硼磷玻璃膜 (BoroPhosphoSilicateGlass；BPSG) 構成，其厚度介於 5000 到 20000 埃之間。
 4. 如申請專利範圍第 1 項之方法，其中所述【絕緣層】是由自旋塗佈式玻璃膜 (Spin On Glass；SOG) 構成，其厚度介於 5000 到 20000 埃之間。
 5. 如申請專利範圍第 1 項之方法，其中所述【絕緣層】是由二氧化矽 (Silicon Dioxide) 構成，其厚度介於 5000 到 20000 埃之間。
 6. 如申請專利範圍第 1 項之方法，其中所述淺凹溝 (Shallow Trench) 之深度介於 1000 到 5000 埃之間。
 7. 如申請專利範圍第 1 項之方法，其中所述【導電層】是指鋁 (Aluminum)。
 8. 如申請專利範圍第 1 項之方法，其中所述【導電層】是指鎢 (Tungsten)。
 9. 如申請專利範圍第 1 項之方法，其中所述【導電層】是指矽化物 (Silicide)。
 10. 如申請專利範圍第 1 項之方法，其中所述【導電層】是指銅 (Copper)。
 11. 如申請專利範圍第 1 項之方法，其中所述【導電層】是指複晶矽 (Polysilicon)。
 12. 如申請專利範圍第 1 項之方法，其中所述【導電層】是指複晶矽化物 (Polycide)。

(請先閱讀背面之注意事項再填寫本頁)

裝訂

線

六、申請專利範圍

(請先閱讀背面之注意事項再填寫本頁)

13. 如申請專利範圍第 1 項之方法，是以 SILO 保護罩 (SILO Mask) 來形成所述【淺凹溝】，並以導電層保護罩 (Conducting Layer Mask) 來形成所述【接觸窗】。
14. 如申請專利範圍第 13 項之方法，其中所述【SILO 保護罩】是所述導電層保護罩 (Conducting Layer Mask) 之逆圖案 (Reverse Tone)。
15. 一種形成積體電路之導電層 (Conducting Layer) 的方法，所述【導電層】在製造積體電路時能改善階梯覆蓋能力和平坦化效果 (Planarization)，係包含下列步驟：

在半導體基板上 (Semiconductor Substrate) 形成半導體元件結構 (Semiconductor Device Structure)；

在所述【半導體元件結構】上方形成絕緣層 (Insulating Layer)；

在所述【絕緣層】上形成第一光阻層 (First Photoresist Layer)，並利用 SILO 保護罩 (SILO Mask) 形成【第一光阻層】之圖案；

蝕刻沒有被所述【第一光阻層】覆蓋住之所述【絕緣層】，並利用 SILO 保護罩 (SILO Mask) 形成【第一光阻層】之圖案，以形成淺凹溝 (Shallow Trench)，而所述【導電層】係預備沉積於所述【淺凹溝】上；

六、申請專利範圍

(請先閱讀背面之注意事項再填寫本頁)

去除所述【第一光阻層】；
形成第二光阻層 (Second Photoresist Layer) 以
覆蓋住所述【絕緣層】，並利用導電層保護罩
(Conducting Layer Mask) 形成【第二光阻層】之圖
案，所述【第二光阻層圖案】在所述【淺凹溝】內露出
開口 (Opening)，所述【開口】之寬度小於所述【淺
凹溝】之寬度；

蝕刻沒有被所述【第二光阻層】覆蓋住之所述【絕
緣層】，一直到接觸到所述【半導體元件結構】，以形
成接觸窗 (Contact Opening)；

去除所述【第二光阻層】；
沉積所述導電層 (Conducting Layer)，所述【導
電層】之一部份埋在所述【淺凹溝】內，因此降低所述
【導電層】之階梯高度 (Step Height)，因而改善平
坦化效果。

16. 如申請專利範圍第 15 項之方法，其中所述【半導體元
件結構】，包含有閘氧化層 (Gate Oxide)、閘電極
(Gate Electrode) 與源極／汲極 (Source /
Drain)。

17. 如申請專利範圍第 15 項之方法，其中所述【絕緣層】
是由硼磷玻璃膜 (BoroPhosphoSilicateGlass；BPSG)
構成，其厚度介於 5000 到 20000 埃之間。

六、申請專利範圍

(請先閱讀背面之注意事項再填寫本頁)

- 18.如申請專利範圍第 15 項之方法，其中所述【絕緣層】是由自旋塗佈式玻璃膜 (Spin On Glass；SOG) 構成，其厚度介於 5000 到 20000 埃之間。
- 19.如申請專利範圍第 15 項之方法，其中所述【絕緣層】是由二氧化矽 (Silicon Dioxide) 構成，其厚度介於 5000 到 20000 埃之間。
- 20.如申請專利範圍第 15 項之方法，其中所述淺凹溝 (Shallow Trench) 之深度介於 1000 到 5000 埃之間。
- 21.如申請專利範圍第 15 項之方法，其中所述【SILO 保護罩】是所述導電層保護罩 (Conducting Layer Mask) 之逆圖案 (Reverse Tone)。
- 22.如申請專利範圍第 15 項之方法，其中所述【導電層】是指鋁 (Aluminum)。
- 23.如申請專利範圍第 15 項之方法，其中所述【導電層】是指鎢 (Tungsten)。
- 24.如申請專利範圍第 15 項之方法，其中所述【導電層】是指矽化物 (Silicide)。
- 25.如申請專利範圍第 15 項之方法，其中所述【導電層】是指銅 (Copper)。
- 26.如申請專利範圍第 15 項之方法，其中所述【導電層】是指複晶矽 (Polysilicon)。
- 27.如申請專利範圍第 15 項之方法，其中所述【導電層】是指複晶矽化物 (Polycide)。

六、申請專利範圍

28. 一種【SILO 保護罩】包含導電層保護罩（Conducting Layer Mask）之逆圖案（Reverse Tone）。

（請先閱讀背面之注意事項再填寫本頁）

訂

公告本

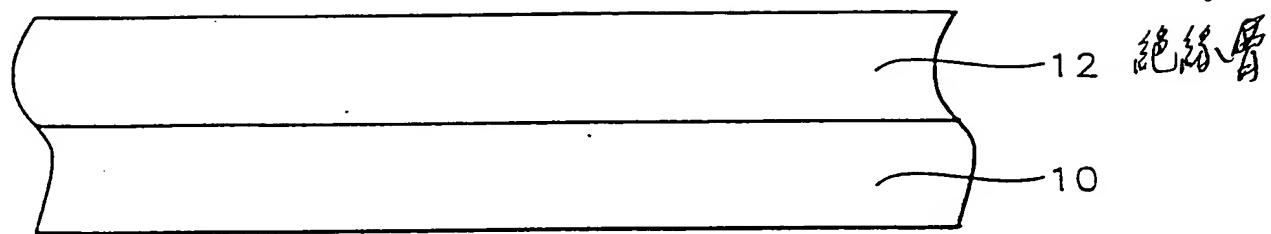


圖 一

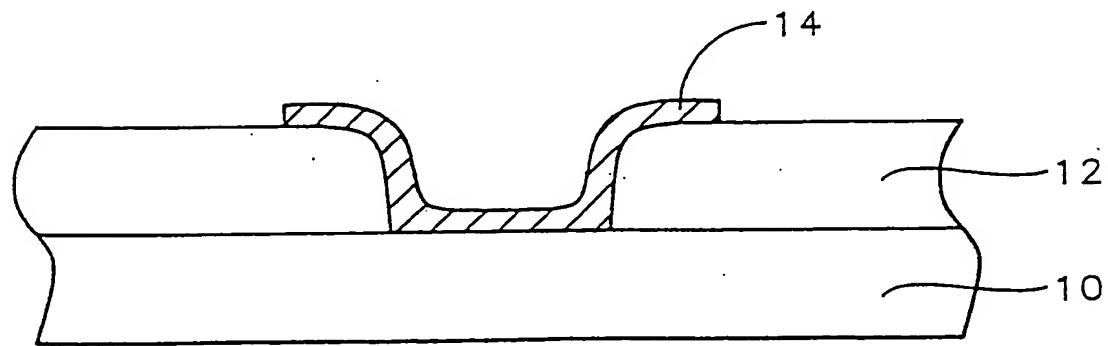


圖 二

SILO 保護 229

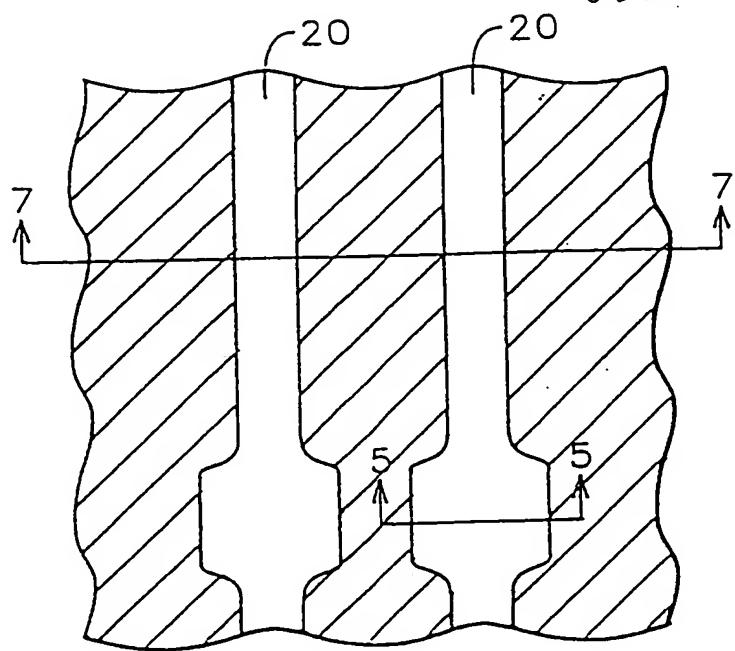


圖 三

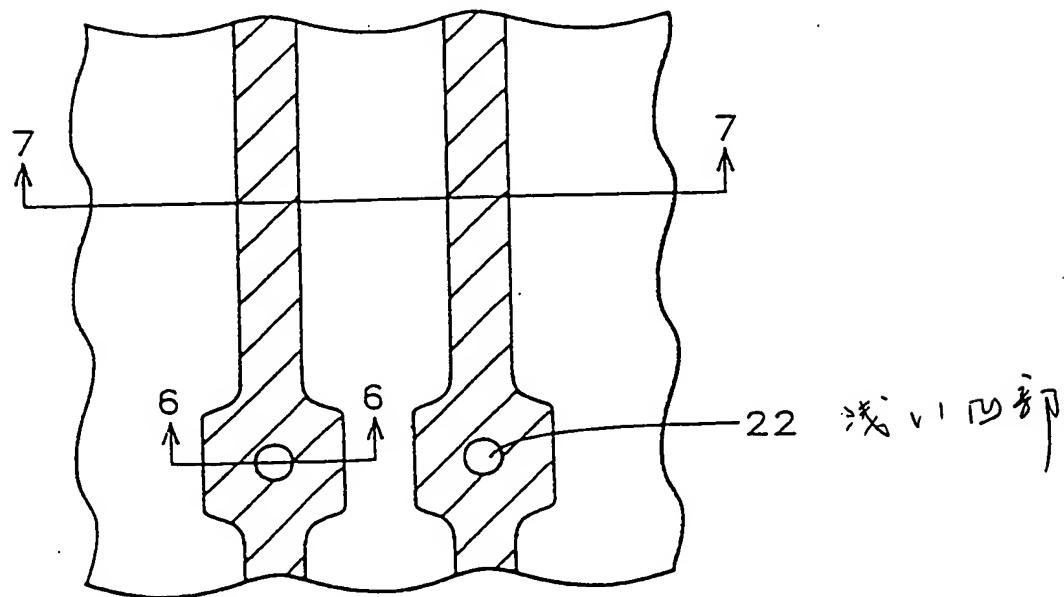


圖 四

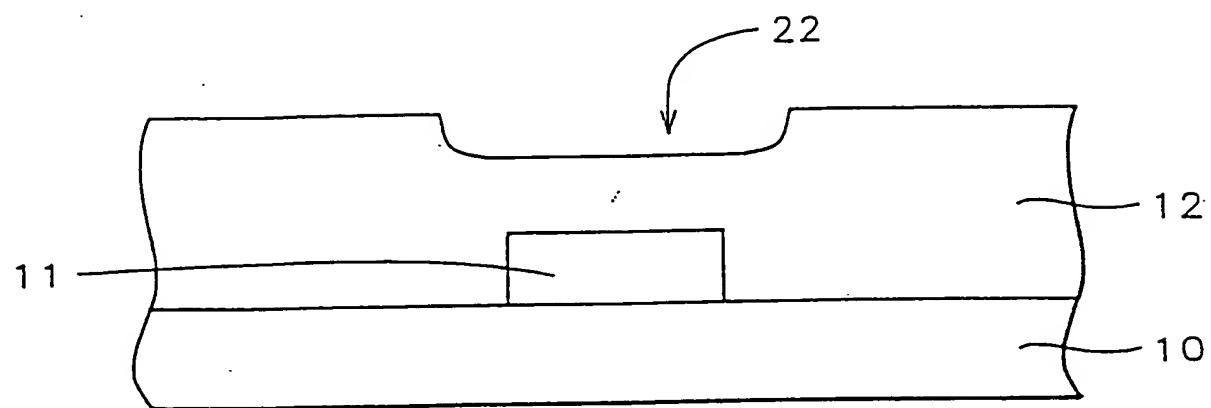


圖 五

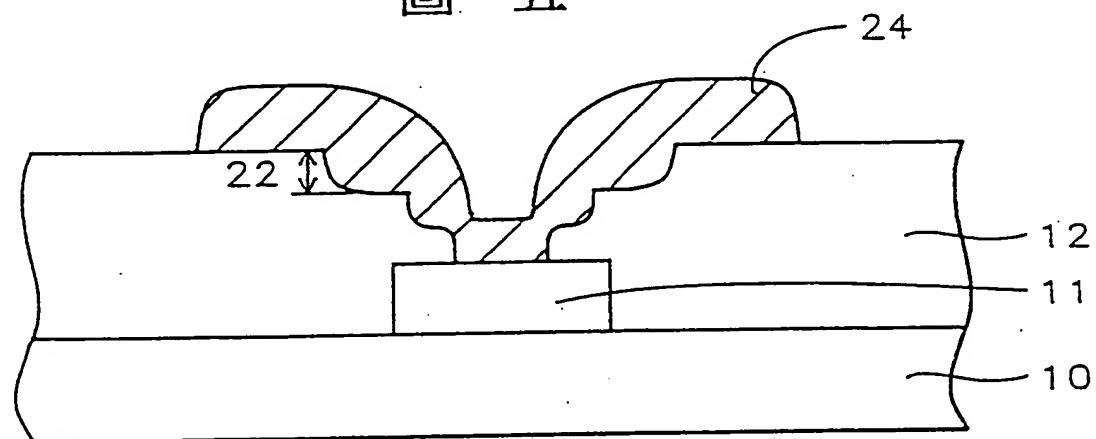


圖 六 A

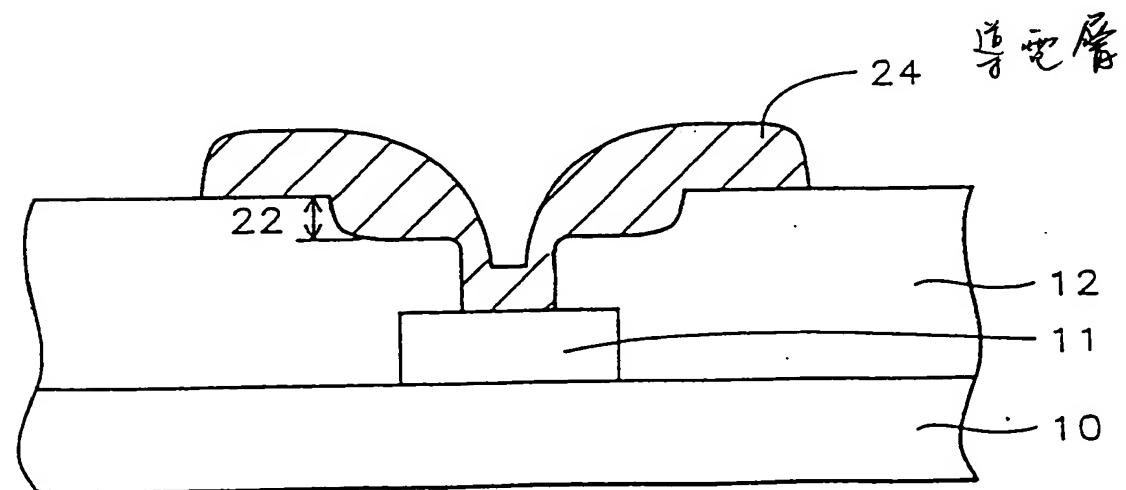


圖 六 B

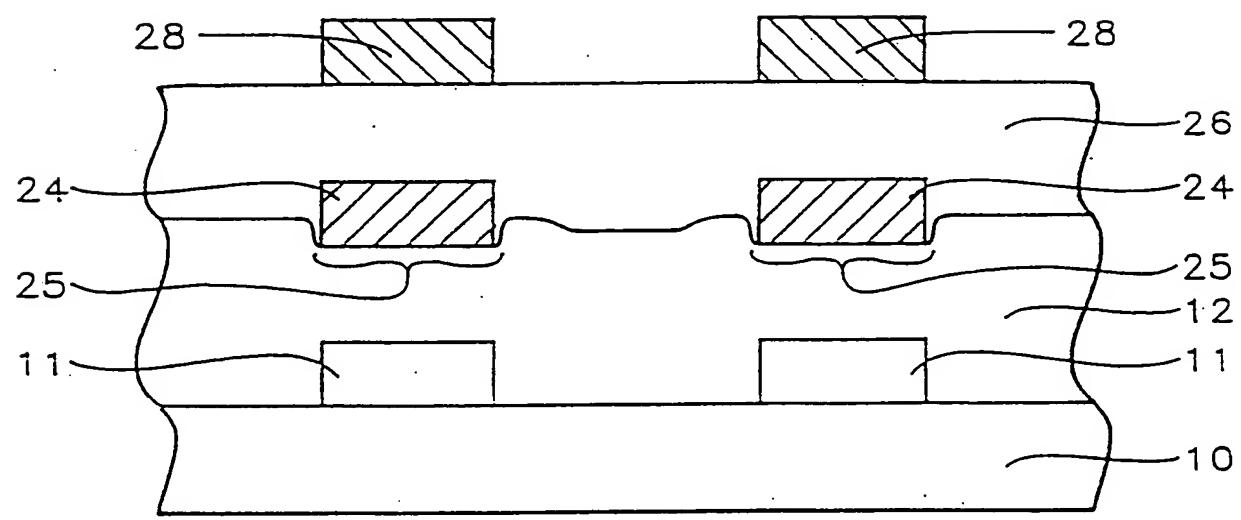


圖 七

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.